

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-175034

(43)Date of publication of application : 23.06.1992

(51)Int.Cl.

H04L 12/48

(21)Application number : 02-293012

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 30.10.1990

(72)Inventor : MIURA SETSUKO  
YAMANAKA HIDEAKI  
OSHIMA KAZUYOSHI  
AOYAMA SHIGERU

(30)Priority

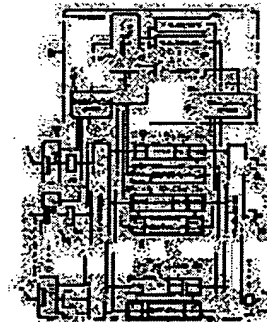
Priority number : 02229893 Priority date : 31.08.1990 Priority country : JP

## (54) CELL EXCHANGE

### (57)Abstract:

**PURPOSE:** To attain cell exchange without much increasing the speed and to reduce a cell abort rate by storing an input cell at an incoming line speed, managing an address in a buffer memory by destination and reading and outputting the data at a speed twice an outgoing line speed.

**CONSTITUTION:** When a cell is inputted, a header processing circuit 10i (i=1-n) checks whether or not the cell is a multiple address cell, reads outgoing line numbers 21, 22 of destination, writes destination information in the order of incoming line numbers 11, 12 and sends the cell to a buffer selection circuit 16. The cell is written in an incoming line speed adjustment buffer 21 and the circuit 16 decides a number of a buffer memory to be written therein. An incoming line spatial switch 13 connects the buffer 21 and the decided memory and stores the cell to the prescribed buffer. At first a buffer memory for writing a multiple address cell B whose destination is numbers 21, 22 is selected. When the buffer memory 1 is selected, a cell number to be in multiple address with the buffer 10 is added to the cell B and the result is stored as a cell B2 and addresses of the buffer 10 are arranged in a queue by destination addressed to the outgoing line numbers 21, 22.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

## ⑫ 公開特許公報(A)

平4-175034

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

④ 公開 平成4年(1992)6月23日

H 04 L 12/48

7830-5K H 04 L 11/20

Z

審査請求 未請求 請求項の数 4 (全19頁)

⑭ 発明の名称 セル交換装置

⑯ 特 願 平2-293012

⑰ 出 願 平2(1990)10月30日

特許法第30条第1項適用 1990年9月15日、社団法人電子情報通信学会発行の「1990年電子情報通信学会秋季全国大会講演論文集」に発表

優先権主張 ⑱ 平2(1990)8月31日 ⑲ 日本(JP) ⑳ 特願 平2-229893

㉑ 発 明 者 三 浦 摂 子 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内

㉒ 発 明 者 山 中 秀 昭 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内

㉓ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉔ 代 理 人 弁理士 曾我 道照 外6名

最終頁に続く

## 明 細 書

## 1. 発明の名称

セル交換装置

## 2. 特許請求の範囲

(1) データ部と該データ部の宛先情報を含むヘッダより構成される同報或は非同報セルを入力する複数の入線と、宛先情報に従ってセルが指定宛先に出力される複数の出線とを備えると共に、各入線対応に設けられ入力されたセルのヘッダより宛先情報、及び該セルが同報或は非同報セルかを検出するヘッダ処理回路と、非同報セルとして検出されたセルにはカウント値1を付加し、同報セルには宛先数をカウント値として付加してアドレス指定により各アドレスに書き込むと共に、セル読み出し時にはカウント値を1減算する複数のバッファメモリと、これらバッファメモリと前記ヘッダ処理回路とを接続する入線空間スイッチと、読み出されたセルを宛先情報に従って1本或は多数本の出線に同時に出力する出線空間スイッチと、前記入線空間スイッチを制御して、前記セ

ルが書き込まれるバッファメモリを選択し、前記入線速度以上の速度で前記バッファメモリに前記セルを書き込ませるとともに、前記書き込まれたセルのバッファメモリ内のバッファ番号を前記セルの宛先別に管理し、それに基づいて前記セルを所定の順番で前記出線速度以上の速度で前記バッファメモリから読み出させ、前記セルがそのヘッダ部で指定される前記出線に出力されるように、前記出線空間スイッチを制御するバッファ制御回路とを備えたことを特徴とするセル交換装置。

(2) データ部と該データ部の宛先情報を含むヘッダより構成される同報或は非同報セルを入力する複数の入線と、宛先情報に従ってセルが指定宛先に出力される複数の出線とを備えると共に、各入線対応に設けられ入力されたセルのヘッダより宛先情報、及び該セルが同報或は非同報セルかを検出するヘッダ処理回路と、同報セル読み出し個数をカウント値として管理する同報セルカウンタと、非同報セルと同報セルをアドレス指定により各アドレスに書き込むと共に、非同報セルは1

つ読み出すと空にし、また同報セルは異なるタイミングで複数回読み出して前記同報セルカウンタの値が0となると空にすることが可能なメモリと、セルを格納している前記メモリ内アドレスを管理するバッファ制御装置と、前記メモリと入線を接続するための装置と、前記メモリと出線を接続するための装置とを備えたことを特徴とするセル交換装置。

(3) データ部と該データ部の宛先情報を含むヘッダより構成される同報或は非同報セルを入力する複数の入線と、宛先情報に従ってセルが指定宛先に出力される複数の出線とを備えると共に、各入線対応に設けられ入力されたセルのヘッダより宛先情報、及び該セルが同報或は非同報セルかを検出するヘッダ処理回路と、同報セル読み出し個数をカウント値として管理する同報セルカウンタと、非同報セルと同報セルをアドレス指定により各アドレスに書き込むと共に、非同報セルは1つ読み出すと空にし、また同報セルは異なるタイミングで複数回読み出して前記同報セルカウンタ

の値が0となると空にすることが可能な複数のバッファメモリと、前記ヘッダ処理回路と所定のバッファメモリとを接続する入線空間スイッチと、読み出されたセルを宛先情報に従って1本或は多数本の出線に同時に出力する出線空間スイッチと、前記入線空間スイッチを制御して、前記セルが書き込まれるバッファメモリを選択し、前記入線速度以上の速度で前記バッファメモリに前記セルを書き込ませるとともに、前記書き込まれたセルのバッファメモリ内のバッファ番号を前記セルの宛先別に管理し、それに基づいて前記セルを所定の順番で前記出線速度以上の速度で前記バッファメモリから読み出させ、前記セルがそのヘッダ部で指定される前記出線に出力されるように、前記出線空間スイッチを制御するバッファ制御回路とを備えたことを特徴とするセル交換装置。

(4) データ部と該データ部の宛先情報を含むヘッダより構成される同報或は非同報セルを入力する複数の入線と、宛先情報に従ってセルが指定宛先に出力される複数の出線とを備えると共に、

各入線対応に設けられ入力されたセルのヘッダより宛先情報、及び該セルが同報或は非同報セルかを検出するヘッダ処理回路と、同報セル読み出し個数をカウント値として管理する同報セルカウンタと、非同報セルと同報セルをアドレス指定により各アドレスに書き込むと共に、非同報セルは1つ読み出すと空にし、また同報セルは異なるタイミングで複数回読み出して前記同報セルカウンタの値が0となると空にすることが可能で複数のセルを格納のできるバッファメモリと、1本或は多数本の入線に同時に到着したセルを多重して1つの前記バッファメモリへ書き込むための入線多重器と、多重されて読み出されたセルを宛先情報に従って1本或は多数本の出線に分離して同時に出力する出線分離器と、セルを格納しているバッファメモリのアドレスをセルの宛先出線別に管理してセルの順序を保つ制御をするバッファ制御回路とを備えたことを特徴とするセル交換装置。

### 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、音声、データ、画像などのマルチメディアの種々の情報をブロック化したセルを、高速で交換するセル交換装置に関するものである。

(従来の技術)

第10図は例えば電子情報通信学会論文誌B-1 Vol. J72-B-1 No.11 pp.1070-1075, 1987年11月に示された従来のセル交換装置を示すブロック図である。図において、(1<sub>1</sub>)～(1<sub>n</sub>)はバケットが入力される $n$  ( $n \geq 2$ ) 本の入線であり、このバケットは固定長で、それぞれが、コード化された宛先情報を含むヘッダ部を備えている。(2<sub>1</sub>)～(2<sub>m</sub>)は前記バケットがそのヘッダ部に指定された宛先に応じて出力される $m$  ( $m \geq 2$ ) 本の出線である。(3<sub>1</sub>)～(3<sub>l</sub>)は入力された前記バケットが一時的に蓄積される $l$  ( $l \geq n$ ) 側のバッファメモリであり、(4)はバケットが入力された入線(1<sub>1</sub>)～(1<sub>n</sub>)を、空いているバッファメモリ(3<sub>1</sub>)～(3<sub>l</sub>)に接続する空きバッファ選択スイッチである。

(5<sub>1</sub>)～(5<sub>n</sub>)は前記バッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)の各々に対応して用意され、対応付けられたバッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)に蓄積されるバケットのヘッダ部のみを抽出して記憶するヘッダ記憶回路である。(6<sub>1</sub>)～(6<sub>n</sub>)はこれら各ヘッダ記憶回路(5<sub>1</sub>)～(5<sub>n</sub>)に対応して設けられ、対応するヘッダ記憶回路(5<sub>1</sub>)～(5<sub>n</sub>)の記憶内容に該当する出力ラインに送出する出力のみを有意にする出線選択回路である。

(7<sub>1</sub>)～(7<sub>n</sub>)は前記出線(2<sub>1</sub>)～(2<sub>n</sub>)のそれぞれに対応して用意され、前記各出線選択回路(6<sub>1</sub>)～(6<sub>n</sub>)の送出する出力を受けて、それを前記バッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)のバッファ番号にコード化するエンコーダである。(8<sub>1</sub>)～(8<sub>n</sub>)はエンコーダ(7<sub>1</sub>)～(7<sub>n</sub>)に対応して設けられ、各エンコーダ(7<sub>1</sub>)～(7<sub>n</sub>)にてコード化されたバッファ番号が書き込まれ、それが入力された順番に読み出されるファーストイン・ファーストアウト(以下、FIFOという)タイプのFIFOメモリである。(9<sub>1</sub>)～(9<sub>n</sub>)は各出線(2<sub>1</sub>)～(2<sub>n</sub>)に対応して用意されて、対応する

FIFOメモリ(8<sub>1</sub>)～(8<sub>n</sub>)から出力されるバッファ番号によって制御され、バッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)に蓄積されているバケットをそのヘッダ部で指定される出線(2<sub>1</sub>)～(2<sub>n</sub>)に出力するバッファ接続スイッチである。

また、(7<sub>m+1</sub>)、(8<sub>m+1</sub>)、(30)、(31)は同報セル用に設けられたもので、(7<sub>m+1</sub>)は同報用のエンコーダ、(8<sub>m+1</sub>)は同報用FIFOメモリ、(30)はヘッダの同報宛先に従い、各出線対応に同報か否かを指定する同報選択回路、(31<sub>1</sub>)～(31<sub>n</sub>)はその指定に従い同報/個別を切り換えるMスイッチである。

なお、ここでは、伝送される情報の単位としてセルの代わりにバケットを用いているが、マルチメディア情報をブロック単位に分割し、それに宛先情報を含んだヘッダ部を付加しているという点では、セルもバケットも同じものを実現している。ただし、一般的にはバケットは1つのブロックの長さが可変長として扱われるのに対して、セルは国際標準で規定された固定長として扱われて

いる点で異なっている。

次に動作について説明する。ここで、第11図はその各部の信号のタイミングを示すタイムチャートで、バッファメモリ(3<sub>1</sub>)および(3<sub>n</sub>)が空いている時、入線(1<sub>1</sub>)と(1<sub>n</sub>)から出線(2<sub>1</sub>)宛のバケットを同時に受信した場合の制御の流れを示している。また、ここで扱われるバケットは前述のように固定長であり、そのヘッダ部は宛先情報としてコード化された出線番号を含むものとする。

入線(1<sub>1</sub>)～(1<sub>n</sub>)にバケットが到着すると、空きバッファ選択スイッチ(4)はバッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)中の空いている1つを選択し、それをバケットの到着した入線(1<sub>1</sub>)～(1<sub>n</sub>)と接続する。ここで、第11図の(4)および(8)に示すように、ヘッダ部にて同一の出線(2<sub>1</sub>)の出線番号“1”が宛先として指定されたバケットが、入線(1<sub>1</sub>)と(1<sub>n</sub>)から同時に到着した場合、空きバッファ選択スイッチ(4)は、例えば入線(1<sub>1</sub>)～(1<sub>n</sub>)を若番順に、そして空いているバッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)も若番順に選んでそれらを接続す

る。従って、この場合、空きバッファ選択スイッチ(4)によって入線(1<sub>1</sub>)がバッファメモリ(3<sub>1</sub>)に、入線(1<sub>n</sub>)がバッファメモリ(3<sub>n</sub>)にそれぞれ接続され、入線(1<sub>1</sub>)に到着したバケットAがバッファメモリ(3<sub>1</sub>)に、入線(1<sub>n</sub>)に到着したバケットBがバッファメモリ(3<sub>n</sub>)にそれぞれ蓄積される。

この空きバッファ選択スイッチ(4)のスイッチングによって、前記バケットAはバッファメモリ(3<sub>1</sub>)に対応するヘッダ記憶回路(5<sub>1</sub>)に、バケットBはバッファメモリ(3<sub>n</sub>)に対応するヘッダ記憶回路(5<sub>n</sub>)にも供給される。ここで、ヘッダ記憶回路(5<sub>1</sub>)～(5<sub>n</sub>)は受け取った各バケットのヘッダ部のみを抽出してその内容である出線番号を記憶するものである。従って、ヘッダ記憶回路(5<sub>1</sub>)および(5<sub>n</sub>)には、それぞれ出線(2<sub>1</sub>)の出線番号“1”が記憶される。これらヘッダ記憶回路(5<sub>1</sub>)～(5<sub>n</sub>)の内容はそれぞれ対応する出線選択回路(6<sub>1</sub>)～(6<sub>n</sub>)に送られ、各出線選択回路(6<sub>1</sub>)～(6<sub>n</sub>)は対応するヘッダ記憶回路(5<sub>1</sub>)～

(5<sub>a</sub>) の内容が指定する出線番号に対応した出力ラインに送出される出力にのみを有意、すなわち“1”にし、他の出力ラインへ送出される出力は無意、すなわち“0”のままとする。バッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)を解放し、それを空きバッファ選択スイッチ(4)に知らせて以降のバケットの受信に備える。

また同報セルが到着した時は、同報用FIFOで同報セルを到着順に受け付け、バッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)からヘッダが指定する複数の出線へ一斉に同報セルを出力する。

(発明が解決しようとする課題)

従来のセル交換装置は以上のように構成されているので、バッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)からセルを読み出す際に、他のセルとの衝突を避けるために1つのバッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)は1つのセルしか蓄積することができず、セルの書き込み数がバッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)の数を越えた場合、そのセルは廃棄されることになり、また、セルの廃棄率を下げるために非常に多くのバッファ

メモリ(3<sub>1</sub>)～(3<sub>n</sub>)を用意する必要があり、さらに、その結果としてバッファメモリ(3<sub>1</sub>)～(3<sub>n</sub>)と入線(1<sub>1</sub>)～(1<sub>n</sub>)および出線(2<sub>1</sub>)～(2<sub>n</sub>)の接続のための、空きバッファ選択スイッチ(4)及びバッファ接続スイッチ(9<sub>1</sub>)～(9<sub>n</sub>)の規模が大きくなってしまふなどの課題があった。また同報セルは、同報用の待ち行列をつくり同報でないセルとは別のタイミングで出力するため、セルの順序が同報セルと同報でないセルとで逆転する可能性があり、また同報セルを送るときは出線に空きが生じるため出線の利用率が低くなるという問題があった。

この発明は上記のような課題を解消するためになされたもので、バッファメモリの数を少なくしてもセルが衝突して廃棄されることが少なく、バッファメモリと入線および出線とを接続するスイッチの規模を小さくすることができ、セルの順序を保ち出線の利用率の低下しない同報機能を持つセル交換装置を得ることを目的とする。

(課題を解決するための手段)

この第1の発明に係るセル交換装置は、データ部と該データ部の宛先情報を含むヘッダより構成される同報或は非同報セルを入力する複数の入線と、宛先情報に従ってセルが指定宛先に出力される複数の出線とを備えると共に、各入線対応に設けられ入力されたセルのヘッダより宛先情報、及び該セルが同報或は非同報セルかを検出するヘッダ処理回路と、非同報セルとして検出されたセルにはカウント値1を付加し、同報セルには宛先数をカウント値として付加してアドレス指定により各アドレスに書き込むと共に、セル読み出し時にはカウント値を1減算する複数のバッファメモリと、これらバッファメモリと前記ヘッダ処理回路とを接続する入線空間スイッチと、読み出されたセルを宛先情報に従って1本或は多数本の出線に同時に出力する出線空間スイッチと、前記入線空間スイッチを制御して、前記セルが書き込まれるバッファメモリを選択し、前記入線速度以上の速度で前記バッファメモリに前記セルを書き込ませるとともに、前記書き込まれたセルのバッファメ

モリ内のバッファ番号を前記セルの宛先別に管理し、それに基づいて前記セルを所定の順番で前記出線速度以上の速度で前記バッファメモリから読み出させ、前記セルがそのヘッダ部で指定される前記出線に出力されるように、前記出線空間スイッチを制御するバッファ制御回路とを備えたものである。

また、第2の発明に係るセル交換装置は、データ部と該データ部の宛先情報を含むヘッダより構成される同報或は非同報セルを入力する複数の入線と、宛先情報に従ってセルが指定宛先に出力される複数の出線とを備えると共に、各入線対応に設けられ入力されたセルのヘッダより宛先情報、及び該セルが同報或は非同報セルかを検出するヘッダ処理回路と、同報セル読み出し個数をカウント値として管理する同報セルカウンタと、非同報セルと同報セルをアドレス指定により各アドレスに書き込むと共に、非同報セルは1つ読み出すと空にし、また同報セルは異なるタイミングで複数回読み出して前記同報セルカウンタの値が0と

なると空にすることが可能なメモリと、セルを格納している前記メモリ内アドレスを管理するバッファ制御装置と、前記メモリと入線を接続するための装置と、前記メモリと出線を接続するための装置とを備えたものである。

また、第3の発明に係るセル交換装置は、データ部と該データ部の宛先情報を含むヘッダより構成される同報或は非同報セルを入力する複数の入線と、宛先情報に従ってセルが指定宛先に出力される複数の出線とを備えると共に、各入線対応に設けられ入力されたセルのヘッダより宛先情報、及び該セルが同報或は非同報セルかを検出するヘッダ処理回路と、同報セル読み出し個数をカウント値として管理する同報セルカウンタと、非同報セルと同報セルをアドレス指定により各アドレスに書き込むと共に、非同報セルは1つ読み出すと空にし、また同報セルは異なるタイミングで複数回読み出して前記同報セルカウンタの値が0となると空にすることが可能な複数のバッファメモリと、前記ヘッダ処理回路と所定のバッファメモリ

及び該セルが同報或は非同報セルかを検出するヘッダ処理回路と、同報セル読み出し個数をカウント値として管理する同報セルカウンタと、非同報セルと同報セルをアドレス指定により各アドレスに書き込むと共に、非同報セルは1つ読み出すと空にし、また同報セルは異なるタイミングで複数回読み出して前記同報セルカウンタの値が0となると空にすることが可能で複数のセルを格納のできるバッファメモリと、1本或は多数本の入線に同時に到着したセルを多重して1つの前記バッファメモリへ書き込むための入線多重器と、多重されて読み出されたセルを宛先情報に従って1本或は多数本の出線に分離して同時に出力する出線分離器と、セルを格納しているバッファメモリのアドレスをセルの宛先出線別に管理してセルの順序を保つ制御をするバッファ制御回路とを備えたものである。

#### (作用)

第1の発明におけるセル交換装置は、入線より入力されたセルを、その宛先の検出を行った後、

りとを接続する入線空間スイッチと、読み出されたセルを宛先情報に従って1本或は多数本の出線に同時に出力する出線空間スイッチと、前記入線空間スイッチを制御して、前記セルが書き込まれるバッファメモリを選択し、前記入線速度以上の速度で前記バッファメモリに前記セルを書き込ませるとともに、前記書き込まれたセルのバッファメモリ内のバッファ番号を前記セルの宛先別に管理し、それに基づいて前記セルを所定の順番で前記出線速度以上の速度で前記バッファメモリから読み出させ、前記セルがそのヘッダ部で指定される前記出線に出力されるように、前記出線空間スイッチを制御するバッファ制御回路とを備えたものである。

また、第4の発明に係るセル交換装置は、データ部と該データ部の宛先情報を含むヘッダより構成される同報或は非同報セルを入力する複数の入線と、宛先情報に従ってセルが指定宛先に出力される複数の出線とを備えると共に、各入線対応に設けられ入力されたセルのヘッダより宛先情報、

入線空間スイッチによって選択されたバッファメモリへ同報するセル数をカウント値として付加して高速に書き込み蓄積し、蓄積されたセルのバッファメモリ上のバッファ番号をその宛先別に管理して、当該宛先別に管理されたアドレスに基づいてバッファメモリをアクセスし、そこに蓄積されたセルを高速に読み出すことで、同一バッファメモリからセルを読み出す機会を多くして読みだし時のセル衝突を減らし、また同報セルの読みだしはセルをバッファメモリに格納する際セルに付加していたカウント値を1ずつ減らし、カウント値が2以上のときはバッファにセルを残して複数回セルを読み出し、出線空間スイッチを1対多接続する事によりセルを同時に複数読み出して同報機能を実現するが、非同報セルの読み出しはバッファメモリのカウント値が1なので1セル読み出すとバッファを空にすることで実現し、また出線空間スイッチによってそのバッファメモリと所定の出線を接続することにより、少数のバッファメモリでセルの衝突による廃棄が少なく、バッファ

メモリと入線および出線とを接続するスイッチの規模を小さくすることが可能なセル交換装置を実現する。

第2の発明におけるセル交換装置は、入線より入力されたセルを、その宛先の検出を行った後、メモリへ高速に書き込み蓄積し、同報セルについては同報する宛先数をカウント値として同報セルカウンタに書き込んでおき、1宛先へ読み出す度にカウント値を1減らしカウント値が1になるまで、何回もセルを読み出したり、同時に複数読み出すときは1つのヘッダ処理回路と多数のメモリを1対多接続して読みだしたりして、カウント値が0になる時メモリを空にすることにより同報機能を実現する。

第3の発明におけるセル交換装置は、入線より入力されたセルを、その宛先の検出を行った後、入線空間スイッチによって選択されたバッファメモリへ高速に書き込み蓄積し、同報セルについては同報する宛先数をカウント値として同報セルカウンタに書き込んでおき、1宛先へ読み出す度に

カウント値を1減らしカウント値が1になるまで、何回もセルを読み出したり、同時に複数読み出すときは出線空間スイッチにより1対多接続して読みだしたりして、カウント値が0になる時バッファを空にすることにより同報機能を実現し、非同報セルは同報セルカウンタは使用せず1セルは1回で読みだしてバッファを空にし、また蓄積されたセルのバッファメモリ上のバッファ番号に、格納しているセルが同報セルか非同報セルでないかという記号を付加して宛先別に管理し、当該宛先別に管理されたアドレスに基づいてバッファメモリをアクセスし、そこに蓄積されたセルを高速に読み出すことで、同一バッファメモリからセルを読み出す機会を多くして読みだし時のセル衝突を減らし、また、出線空間スイッチによってそのバッファメモリに接続された出線に出力することにより、少数のバッファメモリでセルの衝突による廃棄が少なく、バッファメモリと入線および出線とを接続するスイッチの規模を小さくすることが可能なセル交換装置を実現する。

第4の発明におけるセル交換装置は、入線より入力されたセルを、その宛先の検出を行った後、バッファ制御回路によって選択されたバッファ番号へ入線多重器によって多重して書き込み蓄積し、同報セルについては同報する宛先数をカウント値として同報セルカウンタに書き込んでおき、1宛先へ読み出す度にカウント値を1減らしカウント値が0になるまで、何回もセルを読み出し、カウント値が0になるときバッファを空にすることにより同報機能を実現し、非同報セルは同報セルカウンタを使用せず1セルは1回で読み出してバッファを空にし、また蓄積されたセルのバッファ番号に、格納しているセルが同報セルか非同報セルかという記号を付加して宛先別に管理し、当該宛先別に管理されたアドレスに基づいてバッファメモリをアクセスし、そこに蓄積されたセルを読み出すことで、同報可能なセル交換装置を実現する。

#### (実施例)

以下、第1の発明を図について説明する。第1

図において、 $(1_1) \sim (1_n)$ は、宛先情報としての出線番号を含むヘッダ部とデータ部よりなるセルが入力される $n$  ( $n \geq 2$ )本の入線、 $(2_1) \sim (2_m)$ は、セルがそのヘッダ部にて指定された宛先に応じて出力される $m$  ( $m \geq 2$ )本の出線である。 $(10)$ は前記各入線 $(1)$ のそれぞれに対応して設けられ、対応する入線 $(1)$ より入力されたセルのヘッダ部より宛先の出線 $(2)$ を検出するヘッダ処理回路である。

$(21_1) \sim (21_n)$ は前記入線 $(1_1) \sim (1_n)$ の各々に対応して設けられ、前記ヘッダ処理回路より出力されるセルを蓄積し、高速に読み出すことにより速度調整を行なう入線速度調整バッファである。

また、 $(11)$ はそれぞれにバッファメモリ番号 $\#0, \#1, \dots$ が付与され、指定されたアドレスに前記セルを蓄積して、そのアドレスを指定することによって書き込みの際の順序とは無関係に蓄積されたセルを読み出すことができる $p$  ( $n \leq p$ )個のバッファメモリで、1つのバッファメモリ $(11)$ にセルを蓄積できるバッファ $(23)$ を $q$ 個持つ点で

第7図に示す従来のバッファ(3<sub>1</sub>)～(3<sub>n</sub>)とは異なっている。またバッファ(23)は書き込みセルが同報セルであれば同報する宛先数を、同報セルでなければセルを送る数1をセルに付けて書き込むことができるものである。(12)はこのバッファメモリ(11)の各々に対応して設けられ、例えばFIFOタイプのメモリを用いて空きアドレスの管理を行い、対応付けられたバッファメモリ(11)にリードアドレスおよびライトアドレスを与える記憶制御回路である。

(13)は前記入線速度調整バッファ(21<sub>1</sub>)～(21<sub>n</sub>)を所定のバッファメモリ(11)に選択的に接続する入線空間スイッチであり、(14)は各バッファメモリ(11)を所定の出線(2)に対応した出線速度調整バッファ(22<sub>1</sub>)～(22<sub>n</sub>)に選択的に接続する出線空間スイッチである。

(22<sub>1</sub>)～(22<sub>n</sub>)は前記出線(2<sub>1</sub>)～(2<sub>n</sub>)に対応して設けられ、前記バッファメモリ(11<sub>1</sub>)～(11<sub>n</sub>)より高速に読み出され出線空間スイッチ(13)によって接続されたセルを蓄積し、出線の速度に調

整する出線速度調整バッファである。

(15)は入線空間スイッチ(13)のスイッチングを制御してセルが蓄積されるバッファメモリ(11)の選択を行うとともに、出線空間スイッチ(14)のスイッチングを制御して、バッファメモリ(11)に蓄積されたセルをそのヘッダ部で指定される出線(2)に所定の順番で出力させるバッファ制御回路である。

また、このバッファ制御回路(15)内において、(16)は前記各入線(1)に対応付けられたヘッダ処理回路(10)にセル到着時に検出された当該セルの宛先出線番号(2<sub>1</sub>)～(2<sub>n</sub>)を受け、当該セルを蓄積すべきバッファメモリ(11)を選択してそれを該当するヘッダ処理回路(10)に接続するために、前記入線空間スイッチ(13)のスイッチングを制御する書き込みバッファ選択回路である。(17)はこの書き込みバッファ選択回路(16)から送られてくる前記出線番号(2<sub>1</sub>)～(2<sub>n</sub>)を参照して到着したセルを宛先別に分け、当該セルが書き込まれたバッファメモリ(11)上のバッファのライトアドレスを、そ

のバッファメモリ(11)に対応する記憶制御回路(12)より得て、それを後述する宛先別待ち行列に書き込むアドレス交換回路である。

(18)はその宛先別待ち行列であり、FIFOタイプのメモリによって構成されて前記出線(2)の各々に対応して設けられている。この宛先別待ち行列(18)には、それが対応付けられた出線(2)毎に、当該出線(2)を宛先とするセルが蓄積されたバッファメモリ(11)上のバッファアドレスが前記アドレス交換回路(17)によって、セルが到着した順番に書き込まれる。

(19)はこの宛先別待ち行列(18)を参照してバッファメモリ(11)から読み出すセルを決定し、バッファ内のセルに付けられているセル読みだし数が2以上の時は、読み出したバッファアドレスを記憶制御回路(12)へ送らず、またバッファ内のセルに付けられているセルの読みだし数が1ならばその宛先別待ち行列(18)から読み出したバッファアドレスをリードアドレスとして該当するバッファメモリ(11)に対応付けられた記憶制御回路(12)へ

送り、どちらの場合も出線空間スイッチ(14)のスイッチングを制御して、前記バッファメモリ(11)を該当する出線(2)に付随した出線速度調整バッファと接続する、読みだしバッファ選択回路である。

次に動作について説明する。第2図(1)、(0)でセルをバッファに書き込むまでの動作、第3図(1)、(0)ではセルをバッファから読みだし出線へ出力する動作を示す。簡単のため入・出線数2、バッファメモリ数2、1メモリに含まれるバッファ数2、処理速度は入・出線速度と等しいとする。

あるタイムスロットで1個または2個のセルが入線(1)に入力すると、セルの到着したヘッダ処理回路(10)はそのヘッダ部より当該セルが同報セルであるか同報セルでないかということと宛先の出線番号(2<sub>1</sub>)、(2<sub>2</sub>)を、宛先情報として読み取り、入線番号(1<sub>1</sub>)、(1<sub>2</sub>)順に各セルの宛先情報を書き込みバッファ選択回路(16)へ送る。セルは入線速度調整バッファ(21)へ書き込まれる。書き込



みバッファ選択回路(16)は各々のセルを書き込むバッファメモリ番号を番号順に決定する。ただし、そのメモリに空きバッファがないときには次番号のバッファメモリを選択する。同報セルは複数の宛先を持つが1つのバッファに1セル格納する。入線空間スイッチ(13)はセルの書き込まれている入線速度調整バッファ(21)と決定したメモリを接続し、セルを所定のバッファに格納する。

第2図(i)はバッファ00に0宛てセルAが格納されているとき入線(1<sub>1</sub>)にセルB、(1<sub>2</sub>)にセルCが到着した状態で、第2図(ii)はこの2つのセルの書き込みが終了した状態である。まず、宛先が(2<sub>1</sub>)と(2<sub>2</sub>)である同報セルBの書き込みバッファメモリを選択する。まずバッファメモリ(1)を選択したとする。セルBはバッファ(10)に同報するセル数を付けてセルB2として格納し、このバッファアドレス(10)を、出線(2<sub>1</sub>)、(2<sub>2</sub>)宛て宛先別待ち行列に並べる。次に宛先が出線(2<sub>2</sub>)宛てセルCの書き込みメモリを選択する。バッファメモリ0に空きがあるのでバッファメモリ0を選択す

る。書き込みバッファアドレス01が決まると、セルCは同報でないのでセルに読みだし数1を付けてセルC1としてバッファに格納し、書き込みバッファアドレス01を出線(2<sub>2</sub>)宛て宛先別待ち行列に並べる。

ここではセルの書き込み速度を入・出線と等しくしたので同時に到着したセルAとセルBは異なるバッファメモリに格納したが、書き込み速度を入線の $w$  ( $2 \leq w \leq$  入線数) 倍にすると1タイムスロットで1つのメモリに $w$ 個のセルを書き込むことができる。例えばバッファメモリ0に空きバッファがなくバッファメモリ(1)に空バッファが2個あった場合速度2倍ではセルを2個バッファメモリ(1)に格納できる。ただし1タイムスロットは1処理時間(入線に1セル到着する時間)である。

第3図ではセルの読み出しを説明する。第3図(i)はセルA、セルB、セルCがバッファ00、10、01に格納されている状態で、第3図(ii)ではここから各出線1セル出力したものである。1の

宛先別待ち行列の先頭にあるバッファアドレスからセルを読み出す。(2<sub>1</sub>)宛て宛先別待ち行列の先頭には00が並んでいるので出線(2<sub>1</sub>)にはバッファ00に格納されているセルAを出力するが、バッファにはセルA2が格納されており2は残りのセル読みだし数を表しているなのでこの数字を1減らし、2を1と書き換え、セルはバッファに残したまま1セルを読み出す。出線(2<sub>2</sub>)宛て待ち行列の先頭には10が並んでいるのでバッファ10に格納されているセルBを読み出すが、バッファにはセルB1が書き込まれており、このセルの残りの読みだし数は1であるのでセルBを読み出すとバッファ10は開放する。出力したセルはいったん出線速度調整バッファ(22)に書き込んで出線速度に合わせて出線へ出力する。ここでバッファ00とバッファ10は異なるメモリにあるのでセルA、セルBとも出力できたが、もし同時に読み出したいセルが同一メモリにあった場合は1セルのみ出力し、残りのセルはバッファで次に読み出されるまで待ち合わせを行う。

ここではセルの読みだし速度を出線と等しくしたが、 $r$  ( $2 \leq r \leq$  出線数) 倍にすると同一バッファメモリから1タイムスロットで $r$ 個のセルを読み出すことができる。

なお、上記実施例では、単体のセル交換装置を示したが、このセル交換装置をリンク接続し、順次多段に接続して拡張してもよい。

また、セルのヘッダ部の宛先情報として、セル交換装置の出線に対応して、直接出線番号を与えるものを示したが、ヘッダ部の宛先情報にコード化した番号を与える等何らかの変換処理を行ってもよい。

また、個々のバッファメモリが、全入線で共有される一つの大きなバッファメモリとほぼ同等の性能を備えるように、セル保留残量が最も少ないバッファメモリを選んでセルを書き込む方法を取り、セル到着の変動に対しセル廃棄率を更に低くするようにしてもよい。

また、構造上ヘッダ部とデータ部を分離してそれぞれ異なる速度の回路を用いて伝送し、ヘッダ

部とデータ部を並列して配置された複数の信号線にそれぞれ割り当てるようにしてもよい。

さらに、上記実施例では、入線のリンク速度を同一としたが、バッファメモリからの読み出し速度を入線のリンク速度より速くすればトラヒック集束が可能であり、逆に入線のリンク速度を出線の速度より速くすることも可能である。また、セル交換装置をリンク接続した時、段間の速度を入線の速度よりも、より高速にすることにより、セル交換装置段間でのセル廃棄率を更に低いものにすることが出来る。

また、上記実施例ではセル交換装置の出線に対応してそれぞれ一つのアドレス待ち行列を設けたが、それぞれの出線に優先度別に複数のアドレス待ち行列を割り当て、セルのヘッダ部に宛先出線以外に付加された優先度を示す符号に基づいて優先度の高いセルを先にバッファメモリから読み出すことも可能である。

さらに、動作速度の制約が要する場合等には、このセル交換装置の前段および後段に、直列／並列

変換回路、並列／直列変換回路をつけて、並列信号として処理してもよい。

以下、第2及び第3の発明の一実施例を図について説明する。第4図において、 $(1_1) \sim (1_n)$ は、宛先情報としての出線番号を含むヘッダ部とデータ部よりなるセルが入力される $n$  ( $n \geq 2$ )本の入線、 $(2_1) \sim (2_m)$ は、セルがそのヘッダ部にて指定された宛先に応じて出力される $m$  ( $m \geq 2$ )本の出線である。 $(10)$ は前記各入線 $(1)$ のそれぞれに対応して設けられ、対応する入線 $(1)$ より入力されたセルのヘッダ部より宛先の出線 $(2)$ を検出するヘッダ処理回路である。

$(21_1) \sim (21_m)$ は前記入線 $(1_1) \sim (1_n)$ の各々に対応して設けられ、前記ヘッダ処理回路より出力されるセルを蓄積し、高速に読み出すことにより速度調整を行なう入線速度調整バッファである。

また、 $(11)$ はそれぞれにメモリ番号 $\#0, \#1, \dots$ が付与され、指定されたアドレスに前記セルを蓄積して、そのアドレスを指定することによって書き込みの際の順序とは無関係に蓄積されたセルを

読み出すことができる $p$  ( $n \leq p$ )個のバッファメモリで、1つのバッファメモリ $(11)$ にセルを蓄積できるバッファ $(23)$ を $q$ 個持つ点で第10図に示す従来のバッファ $(3_1) \sim (3_m)$ とは異なっている。 $(12)$ はこのバッファメモリ $(11)$ の各々に対応して設けられ、例えばFIFOタイプのメモリを用いて空きアドレスの管理を行い、対応付けられたバッファメモリ $(11)$ にリードアドレスおよびライトアドレスを与える記憶制御回路である。

$(13)$ は前記入線速度調整バッファ $(21_1) \sim (21_m)$ を所定のバッファメモリ $(11)$ に選択的に接続する入線空間スイッチであり、 $(14)$ は各バッファメモリ $(11)$ を所定の出線 $(2)$ に対応した出線速度調整バッファ $(22_1) \sim (22_m)$ に選択的に接続する出線空間スイッチである。

$(22_1) \sim (22_m)$ は前記出線 $(2_1) \sim (2_m)$ に対応して設けられ、前記バッファメモリ $(11_1) \sim (11_m)$ より高速に読み出され出線空間スイッチ $(13)$ によって接続されたセルを蓄積し、出線の速度に調整する出線速度調整バッファである。

$(15)$ は入線空間スイッチ $(13)$ のスイッチングを制御してセルが蓄積されるバッファメモリ $(11)$ の選択を行うとともに、出線空間スイッチ $(14)$ のスイッチングを制御して、バッファメモリ $(11)$ に蓄積されたセルをそのヘッダ部で指定される出線 $(2)$ に所定の順番で出力されるバッファ制御回路である。

また、このバッファ制御回路 $(15)$ 内において、 $(16)$ は前記各入線 $(1)$ に対応付けられたヘッダ処理回路 $(10)$ にてセル到着時に検出された当該セルの宛先出線番号 $(2_1) \sim (2_m)$ を受け、当該セルを蓄積すべきバッファメモリ $(11)$ を選択してそれを該当するヘッダ処理回路 $(10)$ に接続するために、前記入線空間スイッチ $(13)$ のスイッチングを制御する書き込みバッファ選択回路である。 $(17)$ はこのバッファ選択回路 $(16)$ から送られてくる前記出線番号 $(2_1) \sim (2_m)$ を参照して到着したセルを宛先別に分け、当該セルが書き込まれたバッファメモリ $(11)$ 上のバッファのライトアドレスを、そのバッファメモリ $(11)$ に対応する記憶制御回路 $(12)$ より

得て、それを後述する宛先別待ち行列に書き込むアドレス交換回路である。

(18)はその宛先別待ち行列であり、FIFOタイプのメモリによって構成されて前記出線(2)の各々に対応して設けられている。この宛先別待ち行列(18)には、それが対応付けられた出線(2)毎に、当該出線(2)を宛先とするセルが蓄積されたバッファメモリ(11)上のバッファアドレスとセルが同報セルであるか同報セルでないかという記号が前記アドレス交換回路(17)によって、セルが到着した順番に書き込まれる。(24)は同報セルカウンタで宛先別待ち行列(18)と並列に設けられている。これは全バッファ対応に同報セルの読みだし個数を書き込む領域を持つ。1つのバッファに格納されている同報セルは複数の宛先にコピーして出力するが1つ読み出すと同報セルカウンタ(24)の値を1減らすことで、所定の全宛先に同報セルを出力したことを認識しバッファを解放するタイミングがわかるようになっている。

(19)はこの宛先別待ち行列と同報セルカウンタ

ルであるか同報セルでないかということと宛先の出線番号(2<sub>1</sub>)、(2<sub>2</sub>)を、宛先情報として読み取り、入線番号(1<sub>1</sub>)、(1<sub>2</sub>)順に各セルの宛先情報を書き込みバッファ選択回路(16)へ送る。セルは入線速度調整バッファ(21)へ書き込まれる。書き込みバッファ選択回路(16)は各々のセルを書き込むバッファメモリ番号を番号順に決定する。ただし、そのバッファメモリに空きバッファがないときは次番号のバッファメモリを選択する。同報セルは複数の宛先を持つが1つのバッファに1セル格納する。入線空間スイッチ(13)はセルの書き込まれている入線速度調整バッファ(21)と決定したバッファメモリを接続し、セルを所定のバッファに格納する。

第5図(i)はバッファ00に0<sub>0</sub>当てセルAが格納されているとき入線(1<sub>1</sub>)にセルB、(1<sub>2</sub>)にセルCが到着した状態で、第5図(ii)はこの2つのセルの書き込みが終了した状態である。まず、宛先が(2<sub>1</sub>)と(2<sub>2</sub>)である同報セルBの書き込みメモリを選択する。まずメモリ(1)を選択したとする。セ

(24)を参照してバッファメモリ(11)から読み出すセルを決定し、その宛先別待ち行列(18)から読み出したバッファアドレスに同報の記号が付いていなかった場合はこのバッファアドレスをリードアドレスとして、該当するメモリ(11)に対応付けられた記憶制御回路(12)へ送るとともに、出線空間スイッチ(14)のスイッチングを制御して、前記バッファメモリ(11)を該当する出線(2)に付随した出線速度調整バッファを接続する読みだしバッファ選択回路である。

次に動作について説明する。第5図(i)、(ii)でセルをバッファに書き込むまでの動作、第6図(i)、(ii)ではセルをバッファから読みだし出線へ出力する動作を示す。簡単のため入・出線数2、バッファメモリ数2、1バッファメモリに含まれるバッファ数2、処理速度は入・出線速度と等しいとする。

あるタイムスロットで1個または2個のセルが入線(1)に入力すると、セルの到着したヘッダ処理回路(10)はそのヘッダ部より当該セルが同報セ

ルBはバッファ10に格納し、このバッファアドレスに同報セルの記号例えばmを付けた10mを、出線(2<sub>1</sub>)、(2<sub>2</sub>)宛て宛先別待ち行列に並べる。同報セルカウンタのバッファ10に対応するところにはセルの読みだし回数である2を書き込む。次に宛先が出線(2<sub>2</sub>)宛てセルCの書き込みバッファメモリを選択する。同じタイミングに2セルを同一バッファに書き込むことは出来ないのでバッファメモリ0を選択する。書き込みバッファアドレス01が決まると、セルをバッファに格納し、アドレスに同報でない記号例えばnを付けた01nを出線(2<sub>2</sub>)宛て宛先別待ち行列に並べる。同報セルカウンタには何も書き込まない。

ここではセルの書き込み速度を入・出線と等しくしたので同時に到着したセルAとセルBは異なるメモリに格納したが、書き込み速度を入線のw( $2 \leq w \leq$ 入線数)倍にすると1タイムスロットで1つのメモリにw個のセルを書き込むことができる。例えばバッファメモリ0に空バッファがなくバッファメモリ1に空バッファが2個あった場

合速度 2 倍ではセルを 2 個バッファメモリ 1 に格納できる。ただし 1 タイムスロットは 1 処理時間（入線に 1 セル到着する時間）である。

第 6 図ではセルの読み出しを説明する。第 6 図 (1) はセル A、セル B、セル C がバッファ 00、10、01 に格納されている状態で、第 6 図 (2) ではここから各出線 1 セル出力したものである。第 6 図 (1) の宛先別待ち行列の先頭にあるバッファアドレスからセルを読み出す。(2<sub>1</sub>)宛て宛先別待ち行列の先頭には 00m が並んでいるので出線 (2<sub>1</sub>)にはバッファ 00 に格納されているセル A を出力するが、m は同報の記号なのでセルカウンタの 00 に書かれている数字を 1 減らし、2 を 1 と書き換え、セルはバッファに残したまま 1 セルを読み出す。出線 (2<sub>2</sub>)宛て待ち行列の先頭には 10n が並んでいるが、これは同報セルではないのでバッファ 10 に格納されているセル B を読み出すと、バッファ 10 は開放する。出力したセルはいったん出線速度調整バッファ (22) に書き込んで出線速度に合わせて出線へ出力する。ここでバッファ 00 とバッファ 10

は異なるメモリにあるのでセル A、セル B とともに出力できたが、もし同時に読み出したいセルが同一メモリにあった場合は 1 セルのみ出力し、残りのセルはバッファで次に読み出されるまで待ち合わせを行う。

ここではセルの読み出し速度を出線として等しくしたが、 $r$  ( $2 \leq r \leq$  出線数) 倍にすると同一バッファメモリから 1 タイムスロットで  $r$  個のセルを読み出すことができる。

なお、上記実施例では、単体のセル交換装置を示したが、このセル交換装置をリンク接続し、順次多段に接続して拡張してもよい。

また、セルのヘッダ部の宛先情報として、セル交換装置の出線に対応して、直接出線番号を与えるものを示したが、ヘッダ部の宛先情報にコード化した番号を与える等何らかの変換処理を行ってもよい。

また、個々のバッファメモリが、全入線で共有される一つの大きなバッファメモリとほぼ同等の性能を備えるように、セル保留残量が最も少ない

バッファメモリを選んでセルを書き込む方法を取り、セル到着の変動に対しセル廃棄率を更に低くするようにしてもよい。

また、構造上ヘッダ部とデータ部を分離してそれぞれ異なる速度の回路を用いて伝送し、ヘッダ部とデータ部を並列して配置された複数の信号線にそれぞれ割り当てるようにしてもよい。

さらに、上記実施例では、入線のリンク速度を同一としたが、バッファメモリからの読み出し速度を、入線リンク速度より速くすればトラヒック集束が可能であり、逆に入線のリンク速度を出線の速度より速くすることも可能である。また、セル交換装置をリンク接続した時、段間の速度を入線の速度よりも、より高速にすることにより、セル交換装置段間でのセル廃棄率を更に低いものにすることが出来る。

また、上記実施例ではセル交換装置の出線に対応してそれぞれ一つのアドレス待ち行列を設けたが、それぞれの出線に優先度別に複数のアドレス

待ち行列を割り当て、セルのヘッダ部に宛先出線以外に付加された優先度を示す符号に基づいて優先度の高いセルを先にバッファメモリから読み出すことも可能である。

さらに、動作速度の制約が要する場合等には、このセル交換装置の前段および後段に、直列／並列変換回路、並列／直列変換回路をつけて、並列信号として処理してもよい。

以下、第 4 の発明の一実施例を図について説明する。第 7 図において、(1<sub>1</sub>)～(1<sub>n</sub>)は、宛先情報としての出線番号を含むヘッダ部とデータ部よりなるセルが入力される  $n$  ( $n \geq 2$ ) 本の入線、(2<sub>1</sub>)～(2<sub>m</sub>)は、セルがそのヘッダ部にて指定された宛先に応じて出力される  $m$  ( $m \geq 2$ ) 本の出線である。(10)は前記各入線 (1) のそれぞれに対応して設けられ、対応する入線 (1) より入力されたセルのヘッダ部より宛先の出線 (2) を検出するヘッダ処理回路である。

(30)は  $n$  本の入線に到着したセルを速度を  $n$  倍にして多重する入線多重器である。また、(11)は

指定されたアドレスに前記セルを蓄積して、そのアドレスを指定することによって書き込みの際の順序とは無関係に蓄積されたセルを読み出すことができるバッファメモリで、1つのバッファメモリ(11)にセルを蓄積できるバッファ(23)をq個持つ。

(12)はこのバッファメモリ(11)に対応して設けられ、例えばFIFOタイプのメモリを用いて空きアドレスの管理を行い、対応付けられたバッファメモリ(11)にリードアドレスおよびライトアドレスを与える記憶制御回路である。

(32)はバッファメモリ(11)から多重して出力されたセルを所定の出線に分離して出力する出線分離器である。

(15)はバッファメモリ(11)に蓄積されたセルをそのヘッダ部で指定される出線(2)に所定の順番で出力されるバッファ制御回路である。

また、このバッファ制御回路(15)内において、(17)は、ヘッダ処理回路(10)から送られてくる前記出線番号(2<sub>1</sub>)～(2<sub>n</sub>)を参照して到着したセルを

宛先別に分け、当該セルが書き込まれたバッファメモリ(11)上のバッファのライトアドレスを、記憶制御回路(12)より得て、それを後述する宛先別待ち行列に書き込むアドレス交換回路である。

(18)はその宛先別待ち行列であり、FIFOタイプのメモリによって構成されて前記出線(2)の各々に対応して設けられている。この宛先別待ち行列(18)には、それが対応付けられた出線(2)毎に、当該出線(2)を宛先とするセルが蓄積されたバッファメモリ(11)上のバッファアドレスとセルが同報セルであるか同報セルでないかという記号が前記アドレス交換回路(17)によって、セルが到着した順番に書き込まれる。(24)は同報セルカウンタで宛先別待ち行列(18)と並列に設けられている。これは全バッファ対応に同報セルの読みだし個数を書き込む領域を持つ。1つのバッファに格納されている同報セルは複数の宛先にコピーして出力するが1つ読み出すと同報セルカウンタ(24)の値を1減らすことで、所定の全宛先に同報セルを出力したことを認識しバッファを解放するタイミング

グがわかるようになっている。

次に動作について説明する。第8図(イ)、(ロ)でセルをバッファに書き込むまでの動作、第9図(イ)、(ロ)ではセルをバッファから読みだし出線へ出力する動作を示す。簡単のため入・出線数を2、1バッファメモリに含まれるバッファ数を4とする。

あるタイムスロットで1個または2個のセルが入線(1)に入力すると、セルの到着したヘッダ処理回路(10)はそのヘッダ部より当該セルが同報セルであるか同報セルでないかということと宛先の出線番号(2<sub>1</sub>)、(2<sub>2</sub>)を、宛先情報として読み取り、入線番号(1<sub>1</sub>)、(1<sub>2</sub>)順に各セルの宛先情報をアドレス交換回路(17)へ送る。1つの同報セルは複数の宛先を持つが1つのバッファに1セル格納する。記憶制御回路(12)により、書き込みバッファ番号を選択する。

第8図(イ)はバッファ00に0<sub>0</sub>当てセルAが格納されているとき入線(1<sub>1</sub>)にセルB、(1<sub>2</sub>)にセルCが到着した状態で、第8図(ロ)はこの2つのセル

の書き込みが終了した状態である。宛先が(2<sub>1</sub>)と(2<sub>2</sub>)である同報セルBをバッファ10に格納し、このバッファアドレスに同報セルの記号例えばmを付けた10mを、出線(2<sub>1</sub>)、(2<sub>2</sub>)宛て宛先別待ち行列に並べる。同報セルカウンタのバッファ10に対応するところにはセルの読みだし回数である2を書き込む。次に宛先が出線(2<sub>2</sub>)宛てセルCの書き込みバッファ01に、セルを格納し、アドレスに同報でない記号例えばnを付けた01nを出線(2<sub>2</sub>)宛て宛先別待ち行列に並べる。同報セルカウンタには何も書き込まない。

第9図ではセルの読み出しを説明する。第9図(イ)はセルA、セルB、セルCがバッファ00、10、01に格納されている状態で、第9図(ロ)ではここから各出線1セル出力したものである。第9図(イ)の宛先別待ち行列の先頭にあるバッファアドレスからセルを読み出す。(2<sub>1</sub>)宛て宛先別待ち行列の先頭には00mが並んでいるので出線(2<sub>1</sub>)にはバッファ00に格納されているセルAを出力するが、mは同報の記号なのでセルカウンタの00に書

かれている数字を1減らし、2を1と書き換え、セルはバッファに残したまま1セルを読み出す。出線(2)宛て待ち行列の先頭には10nが並んでいるが、これは同報セルではないのでバッファ10に格納されているセルBを読みだすと、バッファ10は開放する。

なお、上記実施例では、単体のセル交換装置を示したが、このセル交換装置をリンク接続し、順次多段に接続して拡張してもよい。

また、セルのヘッダ部の宛先情報として、セル交換装置の出線に対応して、直接出線番号を与えるものを示したが、ヘッダ部の宛先情報にコード化した番号を与える等何らかの変換処理を行ってもよい。

また、個々のバッファメモリが、全入線で共有される一つの大きなバッファメモリとほぼ同等の性能を備えるように、セル保留残量が最も少ないバッファメモリを選んでセルを書き込む方法を取り、セル到着の変動に対しセル廃棄率を更に低くするようにしてもよい。

変換回路、並列／直列変換回路をつけて、並列信号として処理してもよい。

#### (発明の効果)

以上のように第1の発明によれば、入線より入力されたセルを、その宛先の検出を行なった後、入線空間スイッチによって選択されたバッファメモリへ入線速度の $w$  ( $1 \leq w \leq$  入線数)の速度で蓄積し、蓄積されたセルのバッファメモリ上のアドレスをその宛先別に管理して、当該宛先別に管理されたアドレスに基づいてバッファメモリをアクセスし、そこに蓄積されたセルを出線速度の $r$  ( $1 \leq r \leq$  出線数)倍の速度で読み出して、出線空間スイッチによって当該バッファメモリに接続された出線に出力するように構成したので、速度をあまり上げずにセルの交換を行うことが可能となり、さらにバッファメモリの数も削減できるので、空間スイッチの規模を大きくせずに、セルの書き込み数がバッファメモリの容量をこえることで生ずるセル廃棄率を下げる事が可能であり、また同報セルは同報する数を常にセルを格納

また、セルを書き込むバッファメモリ内のバッファ番号の選択はライトアドレス、リードアドレスを記憶制御回路(12)で管理することにより行ったが、例えばアドレスチェーンを作るなど、他の方法を用いても良い。

また、構造上ヘッダ部とデータ部を分離してそれぞれ異なる速度の回路を用いて伝送し、ヘッダ部とデータ部を並列して配置された複数の信号線にそれぞれ割り当てるようにしてもよい。

さらに、セル交換装置段間でのセル廃棄率を更に低いものにすることが出来る。

また、上記実施例ではセル交換装置の出線に対応してそれぞれ一つのアドレス待ち行列を設けたが、それぞれの出線に優先度別に複数のアドレス待ち行列を割り当て、セルのヘッダ部に宛先出線以外に付加された優先度を示す符号に基づいて優先度の高いセルを先にバッファメモリから読み出すことも可能である。

さらに、動作速度の制約が要する場合等には、このセル交換装置の前段および後段に、直列／並列

しているバッファ内で管理することにより、同報でないセルと同時に扱うためバッファメモリ数を増やさずにまた出線の利用率を下げずに同報機能を実現することの可能なセル交換装置が得られる効果がある。

また、第2の発明によれば、入線より入力されたセルを、その宛先の検出を行なった後、メモリへ高速に書き込み蓄積し、同報セルについては同報する宛先数をカウント値として同報セルカウンタに書き込んでおき、1宛先へ読み出す度にカウント値を1減らしカウント値が1になるまで、何回もセルを読み出したり、同時に複数読み出すときは1つのヘッダ処理回路と複数のメモリとを1対多接続して読みだしたりして、カウント値が0になる時バッファを空にすることにより同報機能を実現し、非同報セルは同報セルカウンタは使用せず1セルは1回で読みだしてメモリを空にし、また蓄積されたセルのメモリ上のバッファ番号に、格納しているセルが同報セルか非同報セルでないかという記号を付加して宛先別に管理することによ

り、同報でないセルと同時に扱うためバッファメモリ数を増やさずにまた出線の利用率を下げずに同報機能を実現することの可能なセル交換装置が得られる効果がある。

第3の発明によれば、入線より入力されたセルを、その宛先の検出を行なった後、入線空間スイッチによって選択されたバッファメモリへ入線速度の $w$  ( $1 \leq w \leq$  入線数) の速度で蓄積し、蓄積されたセルのバッファメモリ上のアドレスをその宛先別に管理して、当該宛先別に管理されたアドレスに基づいてバッファメモリをアクセスし、そこに蓄積されたセルを出線速度の $r$  ( $1 \leq r \leq$  出線数) 倍の速度で読み出して、出線空間スイッチによって当該バッファメモリに接続された出線に出力するように構成したので、速度をあまり上げずにセルの交換を行うことが可能となり、さらにバッファメモリの数も削減できるので、空間スイッチの規模を大きくせずに、セルの書き込み数がバッファメモリの容量をこえることで生ずるセル廃棄率を下げるができる効果がある。

また同報セルは同報する数を同報セルカウンタを設けて常に管理することにより、同報でないセルと同時に扱うためバッファメモリ数を増やさずにまた出線の利用率を下げずに同報機能を実現することの可能なセル交換装置が得られる効果がある。

第4の発明によれば、入線より入力されたセルを、その宛先の検出を行なった後、バッファ制御回路によって選択されたバッファメモリへ入線多重器で入線数倍の速度に多重して蓄積し、蓄積されたセルのバッファメモリ上のアドレスをその宛先別に管理して、当該宛先別に管理されたアドレスに基づいてバッファメモリをアクセスし、そこに蓄積されたセルを読み出して、出線分離器によって多重してバッファメモリから出力されるセルを各宛先出線に分離して出力するように構成し、同報セルは同報する数を同報セルカウンタを設けて常に管理することにより、同報でないセルと同時に扱うためバッファ数を増やさずにまた出線の利用率を下げずに同報機能を実現することの可能な

セル交換装置が得られる効果がある。

#### 4. 図面の簡単な説明

第1図は第1の発明の一実施例によるセル交換装置を示すブロック図、第2図(1)、(0)は第1の発明のセル書き込みの一例図、第3図(1)、(0)は第1の発明のセル読みだしの一例図、第4図は第2及び第3の発明の一実施例によるセル交換装置を示すブロック図、第5図は第2の発明のセル書き込みの一例図、第6図(1)、(0)は第2の発明のセル読みだしの一例図、第7図は第4の発明の一実施例によるセル交換装置を示すブロック図、第8図(1)、(0)は第4の発明のセル書き込みの一例図、第9図(1)、(0)は第4の発明のセル読みだしの一例図、第10図は従来のセル交換装置を示すブロック図、第11図はその各部における信号のタイミングを示すタイムチャートである。

(1<sub>1</sub>) ~ (1<sub>n</sub>) は入線、(2<sub>1</sub>) ~ (2<sub>m</sub>) は出線、(3<sub>1</sub>) ~ (3<sub>k</sub>) はバッファメモリ、(6<sub>1</sub>) ~ (6<sub>k</sub>) は出線選択回路、(10<sub>1</sub>) ~ (10<sub>n</sub>) はヘッダ処理回路、(11<sub>1</sub>) ~ (11<sub>p</sub>) はバッファメモリ、(12<sub>1</sub>) ~

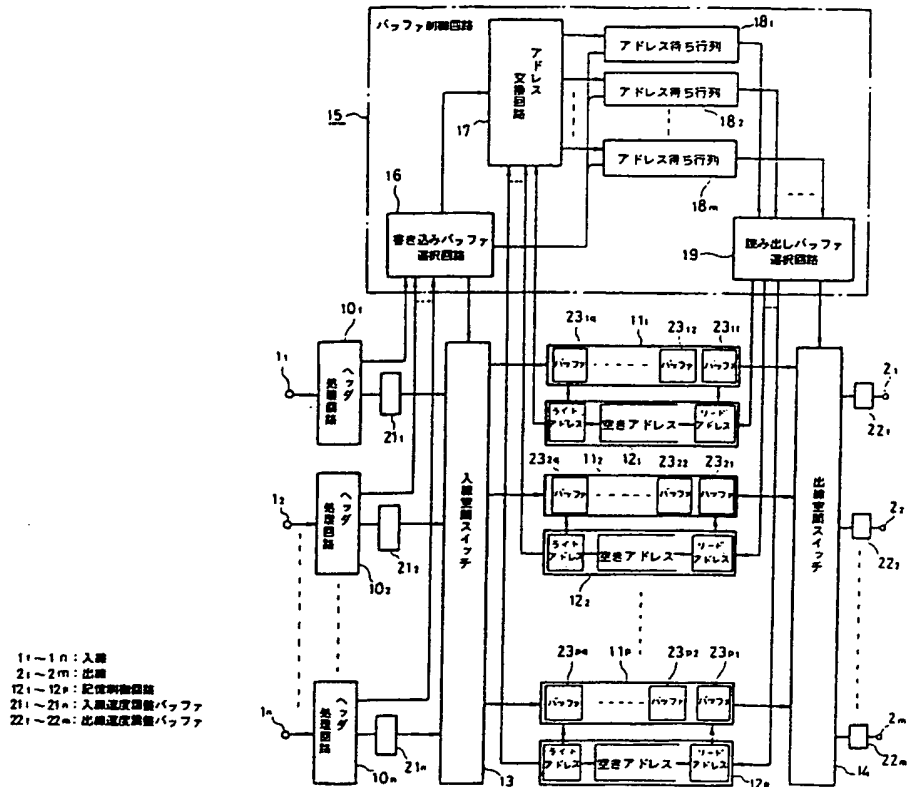
(12<sub>q</sub>) は記憶制御回路、(13) は入線空間スイッチ、(14) は出線空間スイッチ、(15) はバッファ制御回路、(16) は書き込みバッファ選択回路、(17) はアドレス交換回路、(18<sub>1</sub>) ~ (18<sub>n</sub>) はアドレス待ち行列、(19) は読み出しバッファ選択回路、(21<sub>1</sub>) ~ (21<sub>n</sub>) は入線速度調整バッファ、(22<sub>1</sub>) ~ (22<sub>n</sub>) は出線速度調整バッファ、(23<sub>11</sub>) ~ (23<sub>1k</sub>) はバッファ、(24) は同報セルカウンタ、(30) は入線多重器、(31) は出線分離器である。

なお、各図中、同一符号は同一または相当部分を示す。

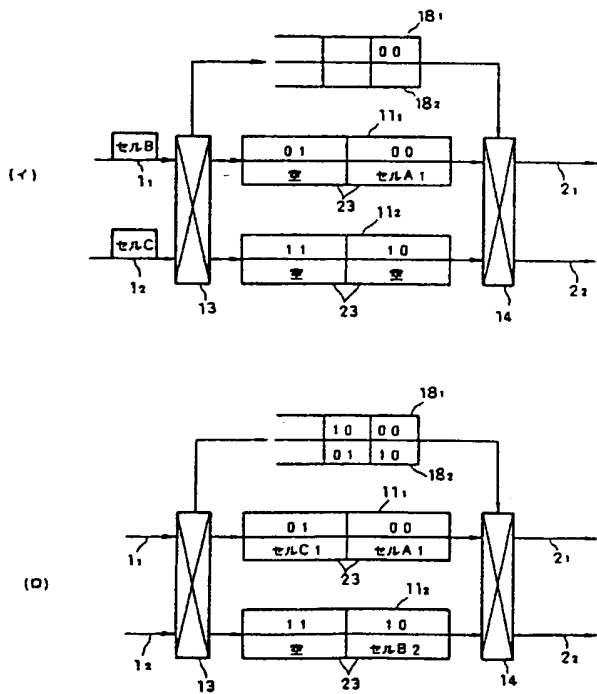
代理人 山 崎 宗 秋



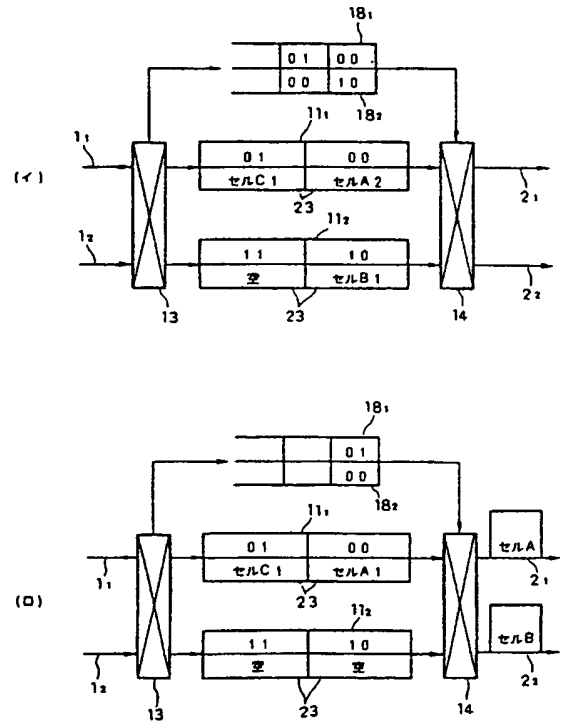
第 1 図



第 2 図

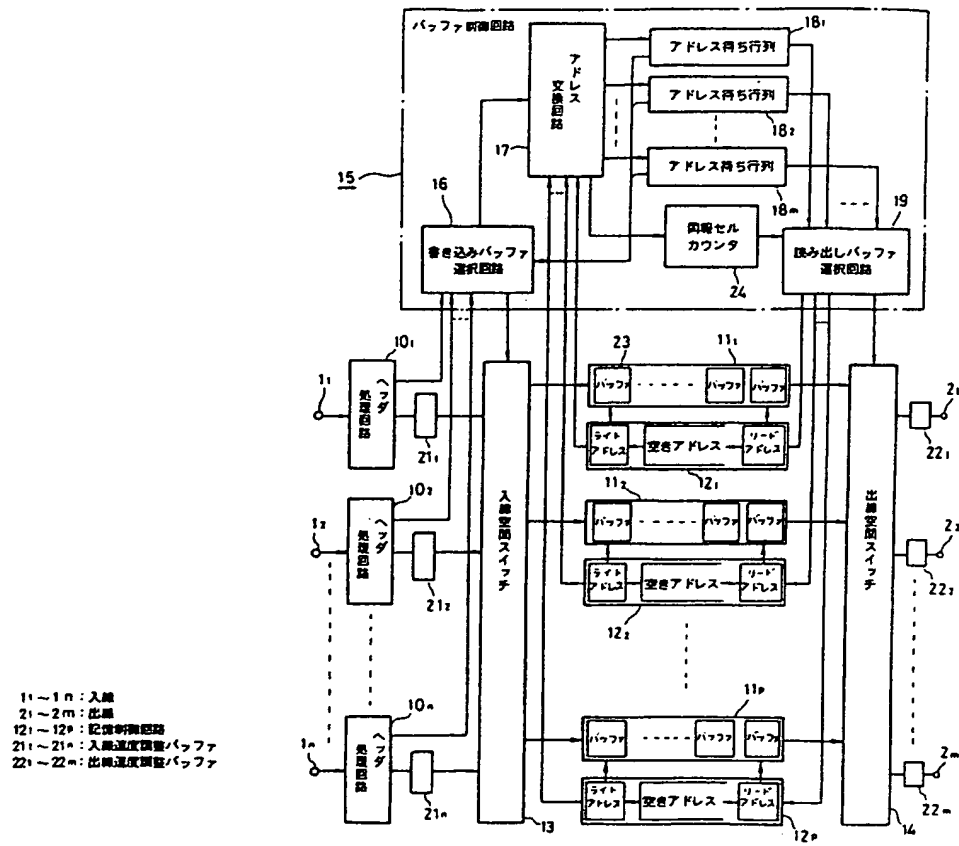


第 3 図

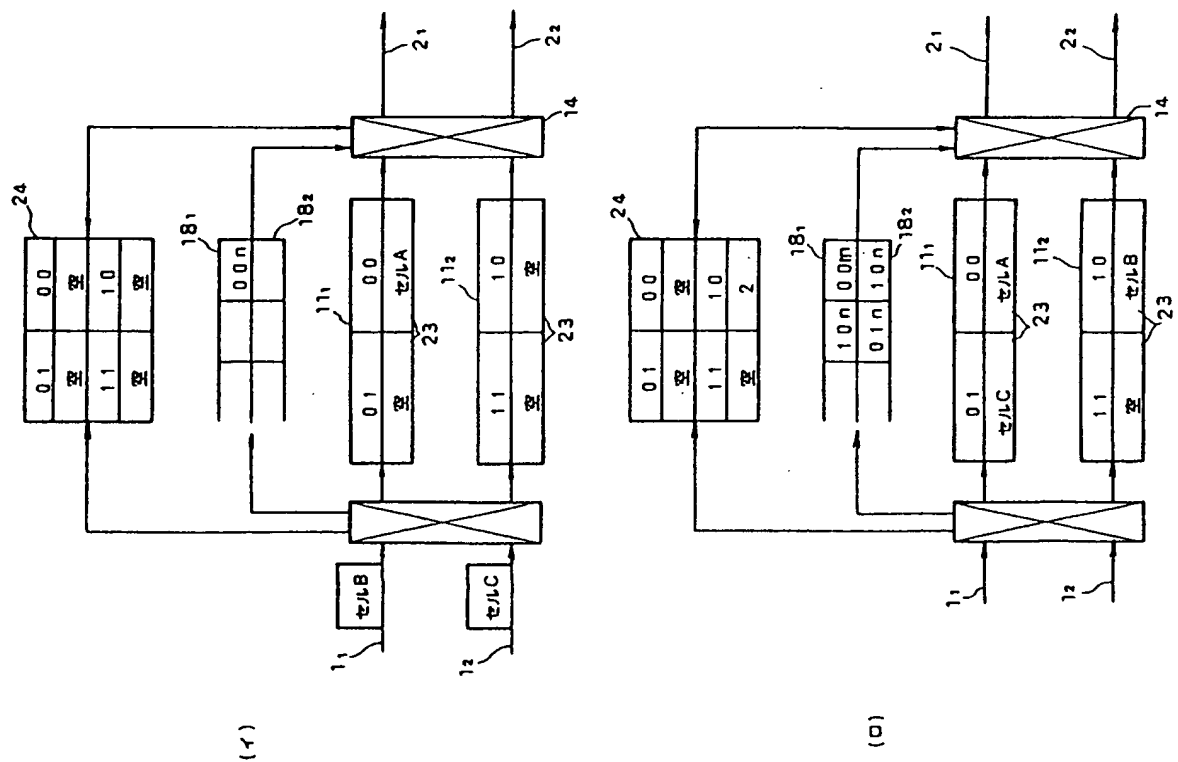




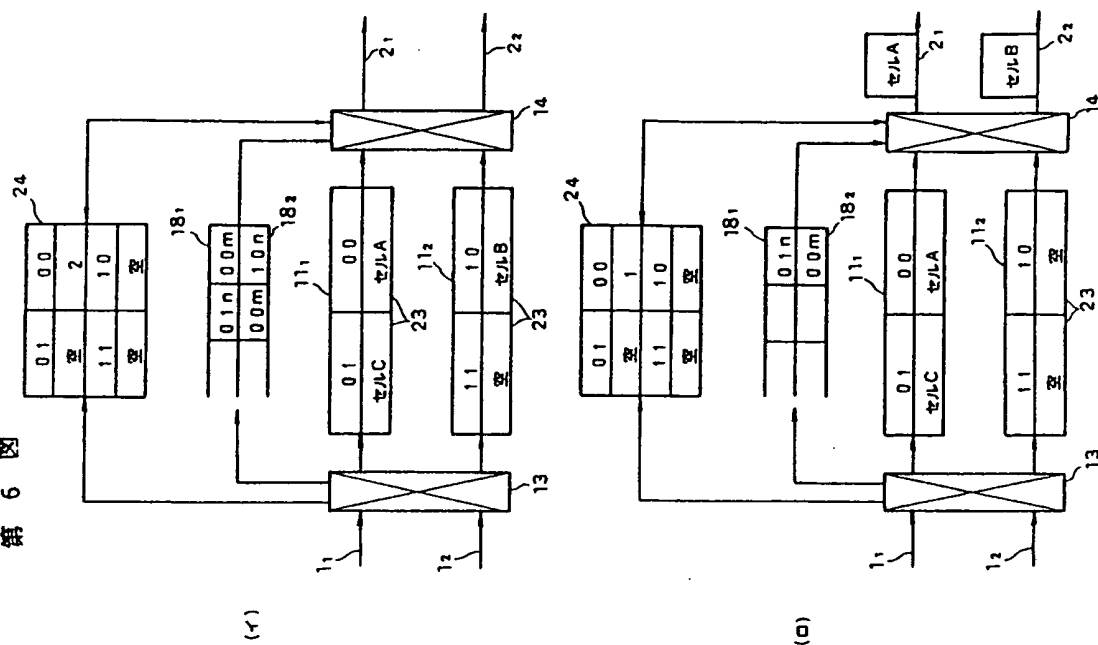
第 4 図



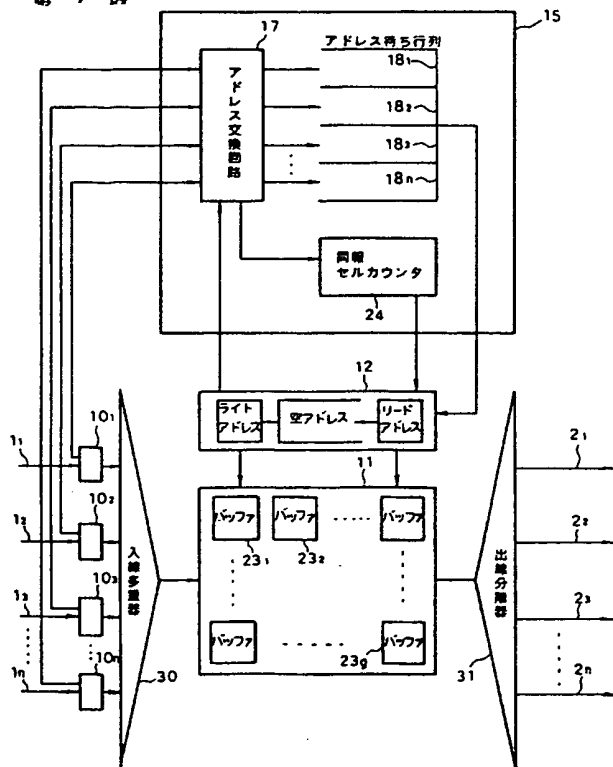
第 5 図



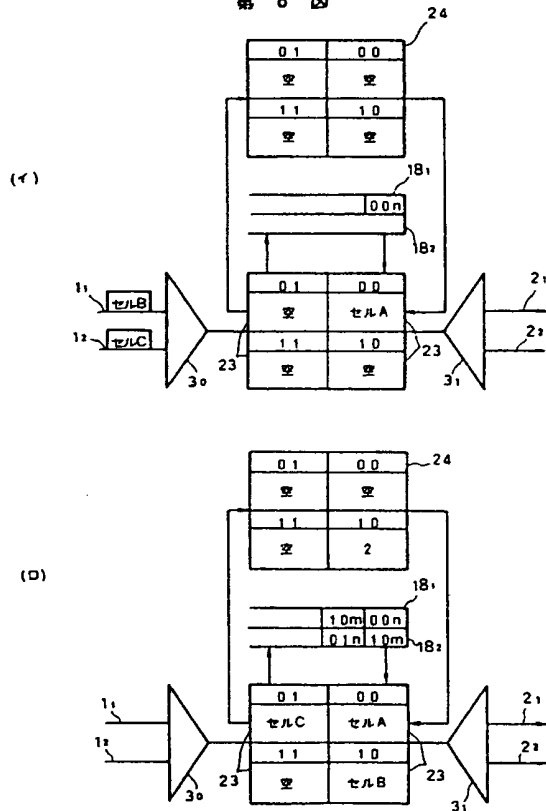
第 6 図



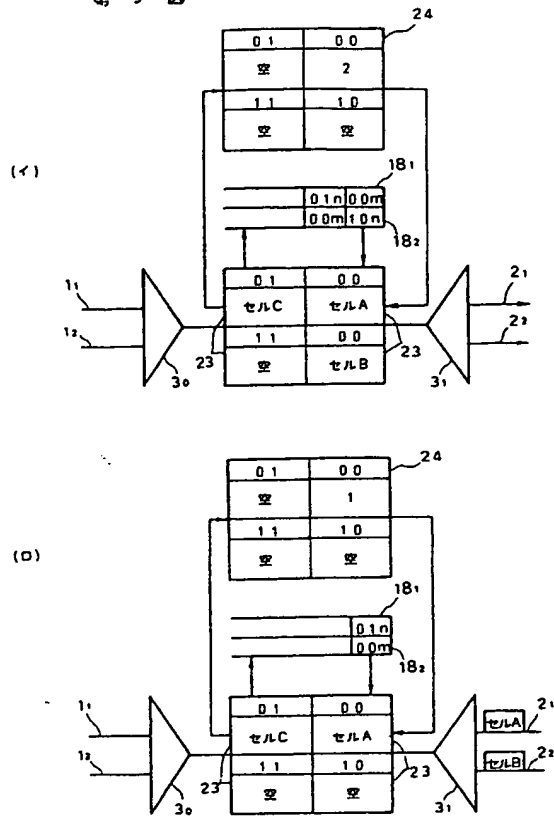
第 7 図



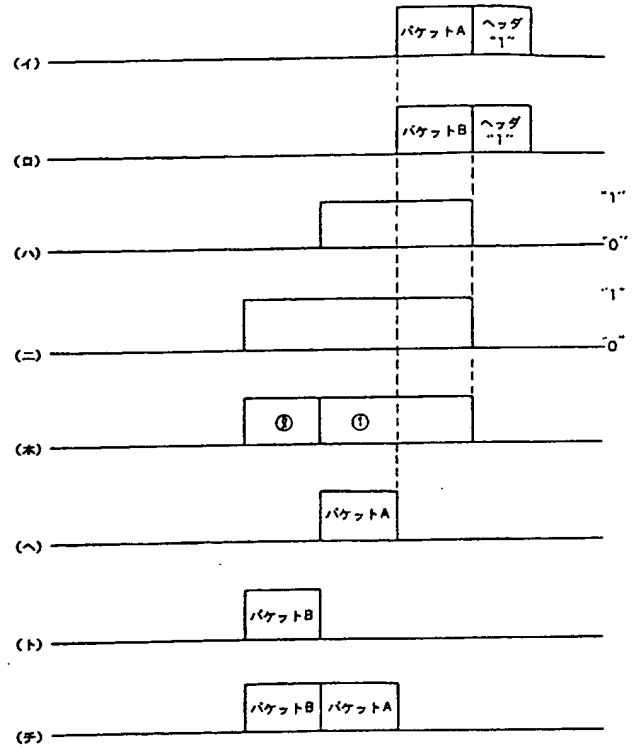
第 8 図



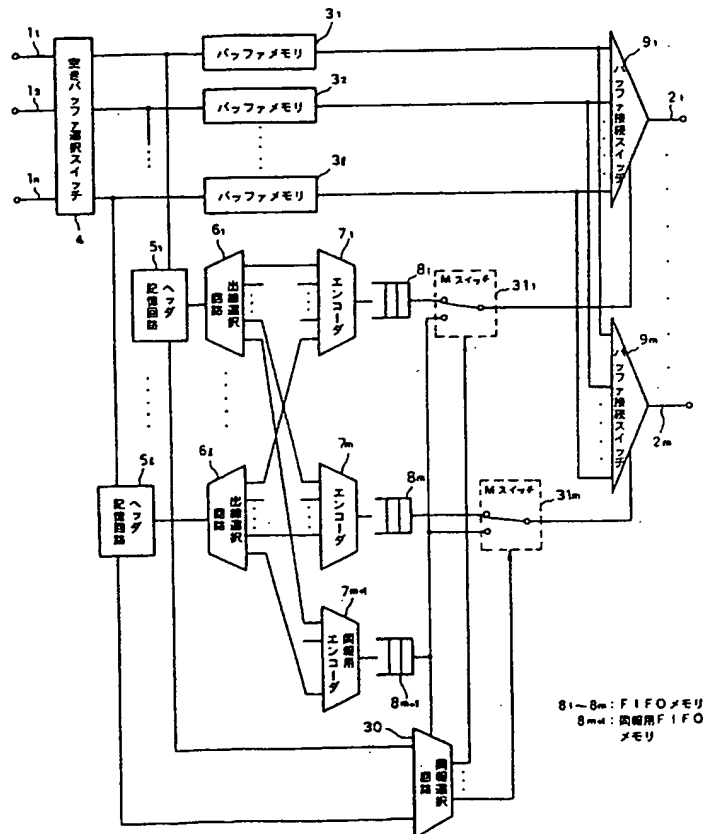
第 9 図



第 11 図



第 10 図



第1頁の続き

②発明者 大 島 一 能 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内  
 ②発明者 青 山 滋 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内

手 続 補 正 書 (自発)

平成 3 年 3 月 13 日

特 許 庁 長 官 殿

1. 事件の表示

特願平 2-293012 号

2. 発明の名称

セル交換装置

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目2番3号

名 称 (601)三菱電機株式会社

代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都中央区日本橋本町1丁目9番13号

中山ビル4階

氏 名 (7336)代理人 弁理士 山 崎 宗 秋

電話 03(3241)3046

5. 補正の対象

明細書の発明の詳細な説明の欄。

方 式 査 査 (古川)

6. 補正の内容

明細書第6頁第16行の「( $l \geq n$ ) 側」という記載を「( $l \geq n$ ) 個」と補正する。

以 上



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (SP10)**